

**Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)**

Библиотека схемотехнических решений

Радиационно-стойкий и низкотемпературный CJFET дифференциальный каскад с повышенным ослаблением входного синфазного сигнала

Бугакова А.В., annabugakova.1992@mail.ru,

Прокопенко Н.Н. prokopenko@sssu.ru,

Пахомов И.В., ilyavpakhomov@gmail.com, Жук А.А., alexey.zhuk96@mail.ru,

Титов А.Е., alex.evgeny.titov@gmail.com

Научно-исследовательская лаборатория проблем проектирования в экстремальной микроэлектронике ИППМ РАН и Донского государственного технического университета (г. Ростов-на-Дону)

1. Области применения

Предлагаемый входной дифференциальный каскад (ДК) на комплементарных полевых транзисторах с управляющим р-п переходом (CJFET) может использоваться для усиления аналоговых сигналов в структуре аналоговых микросхем различного функционального назначения, например, операционных усилителях (ОУ), компараторах, в т.ч. работающих при низких температурах и воздействии радиации [1]. При этом радиационная стойкость и низкотемпературный диапазон обеспечиваются за счет применения CJFET [1].

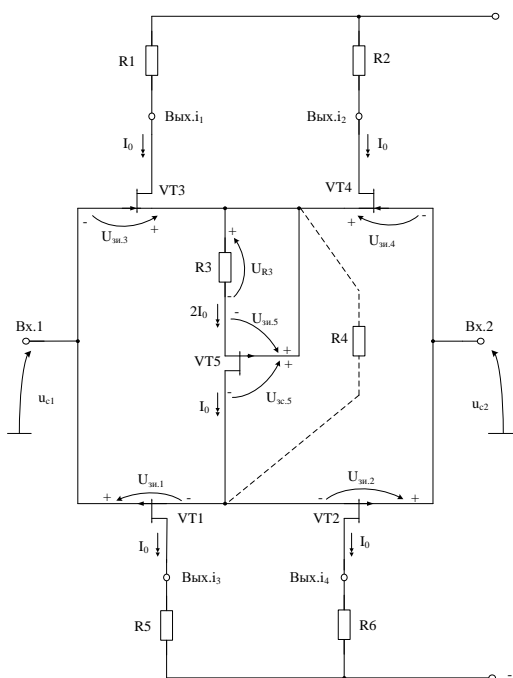


Рис. 1 Схема входного ДК на комплементарных полевых транзисторах

Практическая реализация схемы рис. 1 может быть осуществлена (при определенной доработке) в рамках других технологий, например, по СВiСJFET комплементарному биполярному техпроцессу (АО «НПП Пульсар», г. Москва) и др.

2. Описание схемы

Входной дифференциальный каскад (рис.1) включает:

- входы (Вх.1, Вх.2) и выходы (Вых._{i1}-Вых._{i4}),
- входные полевые транзисторы (VT1-VT2, VT3-VT4),
- вспомогательный полевой транзистор (VT5),
- резисторы (R1-R4).

Коэффициент ослабления входного синфазного сигнала ДК рис.1 для выхода (Вых._{i1}) определяется по формуле

$$K_{oc.cф}^{-1} = \frac{K_{cф}}{K_d}, \quad (1)$$

где $K_{cф} = R_1 S_{cф}$ – коэффициент преобразования входного синфазного сигнала ДК ($u_c = u_{c1} = u_{c2}$) в напряжение на резисторе R1;

$S_{cф} = i_{вых.1} / u_c$ – проводимость передачи входного синфазного сигнала u_c по токовому выходу (Вых._{i1});

$K_d = R_1 (S_3 + S_4)$ – дифференциальный коэффициент усиления по напряжению от дифференциального входа ДК (Вх.1, Вх.2) к выходу Вых._{i1};

$S_3 \approx S_4$ – крутизна стоко-затворной характеристики входных полевых транзисторов VT3-VT4.

Из уравнения (1) можно получить

$$K_{oc.cф}^{-1} = \frac{S_{cф}}{S_3 + S_6}. \quad (2)$$

Похожие формулы можно получить и для коэффициентов подавления помех по шинам питания

$$\left(K_{пп}^{(+)}\right)^{-1} = \frac{S_{п}^{(+)}}{S_3 + S_6}, \quad (3)$$

$$\left(K_{пп}^{(-)}\right)^{-1} = \frac{S_{п}^{(-)}}{S_3 + S_6}. \quad (4)$$

Для повышения помехоустойчивости ДК необходимо минимизировать (схемотехническим путем) проводимости передачи по входному синфазному сигналу ($S_{cф} = 0$) и проводимости передачи помех по шинам питания ($S_{п}^{(+)} = 0$, $S_{п}^{(-)} = 0$).

Анализ результатов моделирования (раздел 3) показывает, что предлагаемое схемотехническое решение обеспечивает на низких частотах следующие проводимости передачи $S_{cф} = 376$ пСм и $S_{п}^{(+)} = S_{п}^{(-)} = 900$ пСм.

В то же время схема ДК-аналога дает $S_{cф}^* = 48$ нСм, $S_{п}^{(+)*} = S_{п}^{(-)*} = 128$ нСм.

Таким образом, в предлагаемом каскаде коэффициенты $K_{oc.cф}$ и $K_{пп}$ улучшаются не менее чем на два порядка:

$$N_{\text{сф}} = \frac{K_{\text{ос.сф}}^*}{K_{\text{ос.сф}}} = \frac{S_{\text{сф}}^*}{S_{\text{сф}}} = \frac{48}{0,376} = 127,6, \quad (5)$$

$$N_{\text{п}}^{(+)} = \frac{K_{\text{пп}}^{(+)*}}{K_{\text{пп}}^{(+)}} = \frac{S_{\text{п}}^{(+)*}}{S_{\text{п}}^{(+)}} = \frac{128}{0,96} = 142,2, \quad (6)$$

$$N_{\text{п}}^{(-)} = \frac{K_{\text{пп}}^{(-)*}}{K_{\text{пп}}^{(-)}} = \frac{S_{\text{п}}^{(-)*}}{S_{\text{п}}^{(-)}} = \frac{128}{0,96} = 142,2. \quad (7)$$

Таким образом, рассматриваемый ДК имеет существенные преимущества в сравнении с известными схмотехническими решениями ДК класса dual-input-stage [2-28] по величине коэффициента ослабления входного синфазного сигнала и уровню подавления помех по шинам питания. Это позволяет рекомендовать рассмотренную схему ДК для практического использования в прецизионных ОУ и построения малозумящих, низкотемпературных и радиационно-стойких аналоговых микросхем по техпроцессам CJFet ОАО «Интеграл» (г. Минск), а также SViSJFET комплементарному биполярно-полевому технологическому процессу АО «НПП «Пульсар» (г. Москва).

3. Компьютерное моделирование

В частном случае схема ДК рис. 1 исследовалась в среде LTSpice IV на моделях библиотеки CJFet транзисторов Дворникова О.В. (МНИПИ, г. Минск).



Рис. 2 Графическое изображение полевых транзисторов с каналом n-типа (а) и p-типа (б) в среде LTSpice.

Результаты сравнительного компьютерного моделирования схемы рис. 1 с дополнительными элементами (VT5, R3), а также только с резистором R4, обеспечивающим идентичный статический режим входных полевых транзисторов ДК по 100 мкА), представлены на рис. 3-8.

На рис. 3 показана схема ДК в среде LTspice.

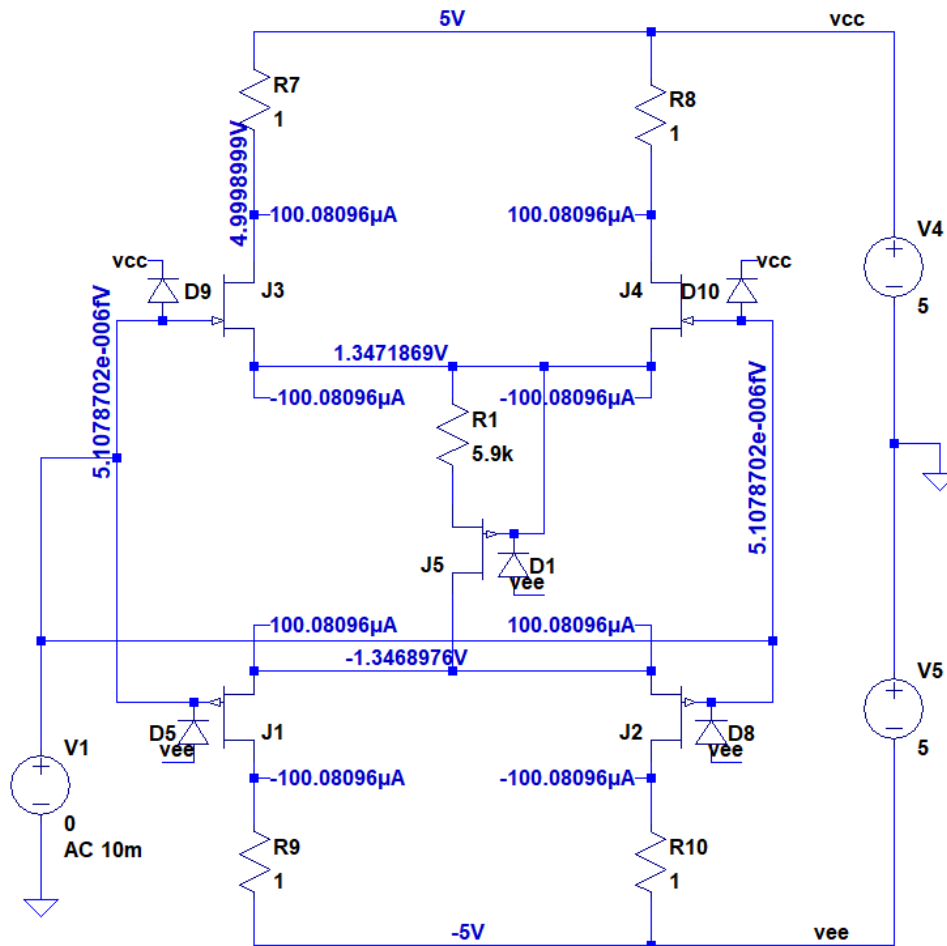


Рис. 3 Схемы ДК рис. 1 с дополнительными элементами (VT5, R1).

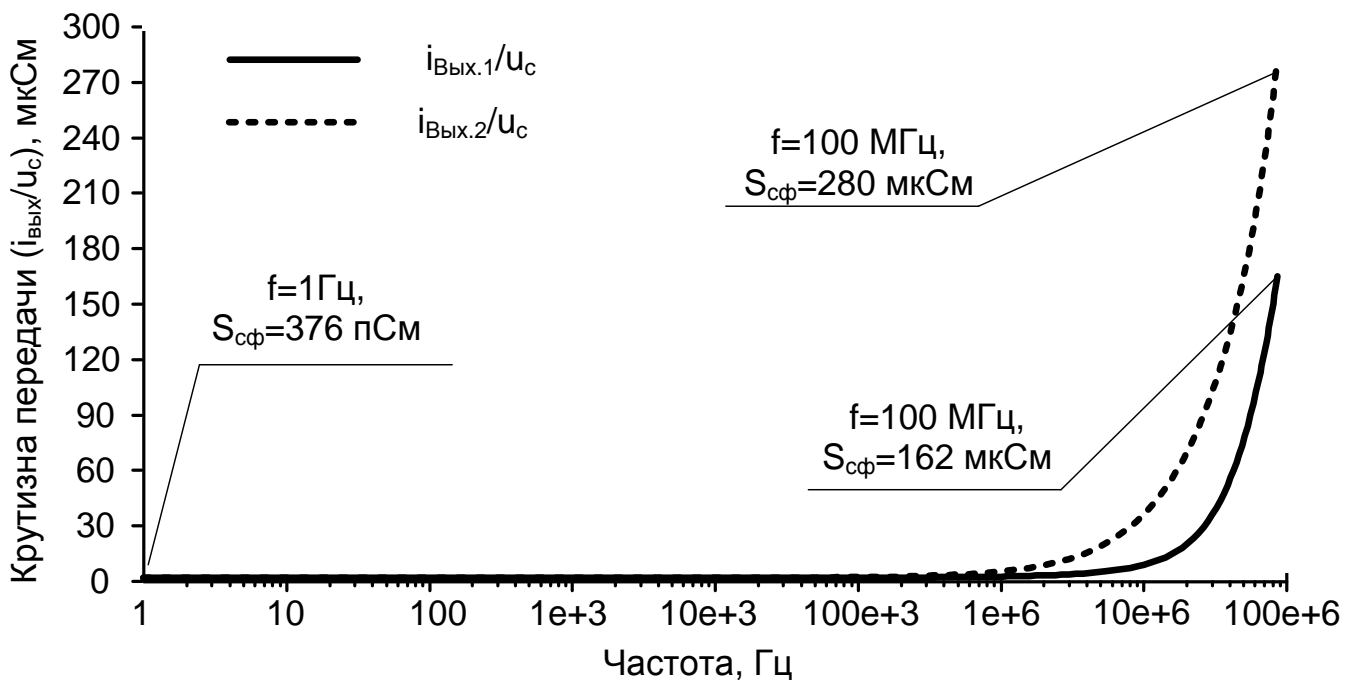


Рис. 4 Частотная зависимость крутизны передачи входного синфазного сигнала ($S_{сф}$).

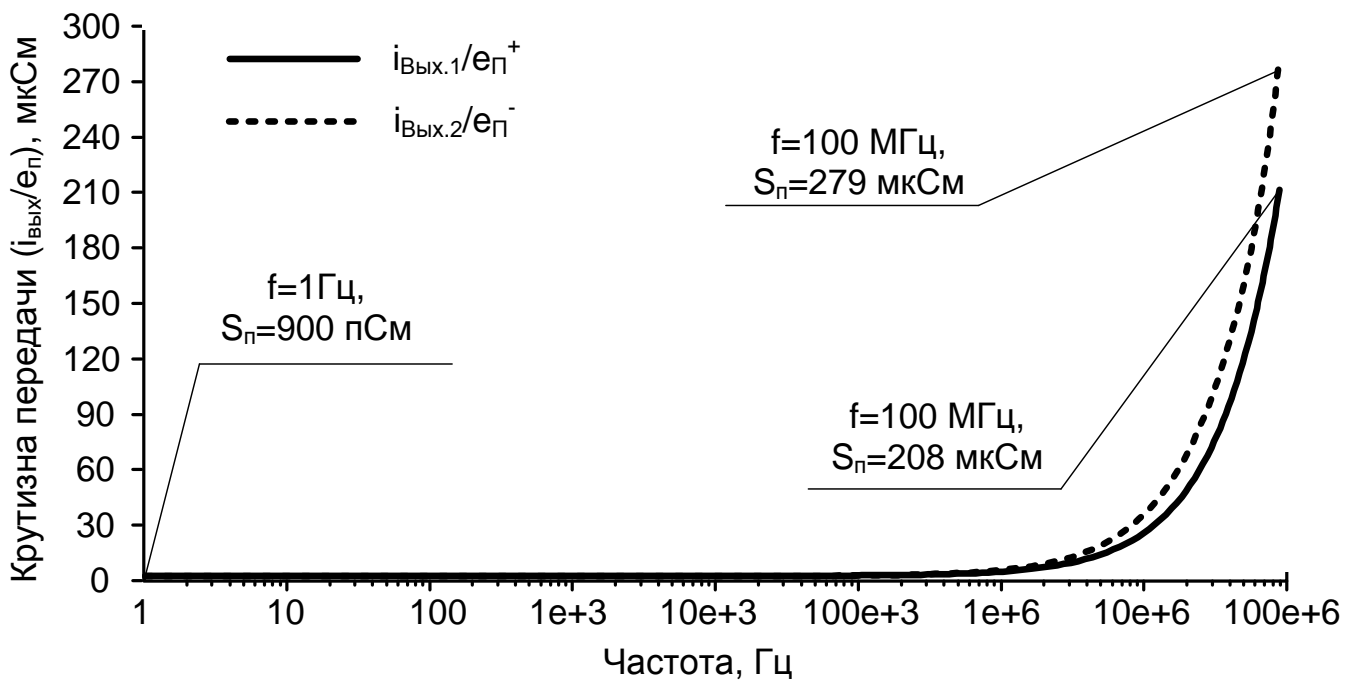


Рис. 5 Частотная зависимость крутизны передачи ($S_{\text{п}}^{(+)}$, $S_{\text{п}}^{(-)}$) помех на шинах питания (синусоидальное напряжение с амплитудой 100 мВ на положительной и отрицательной шинах).

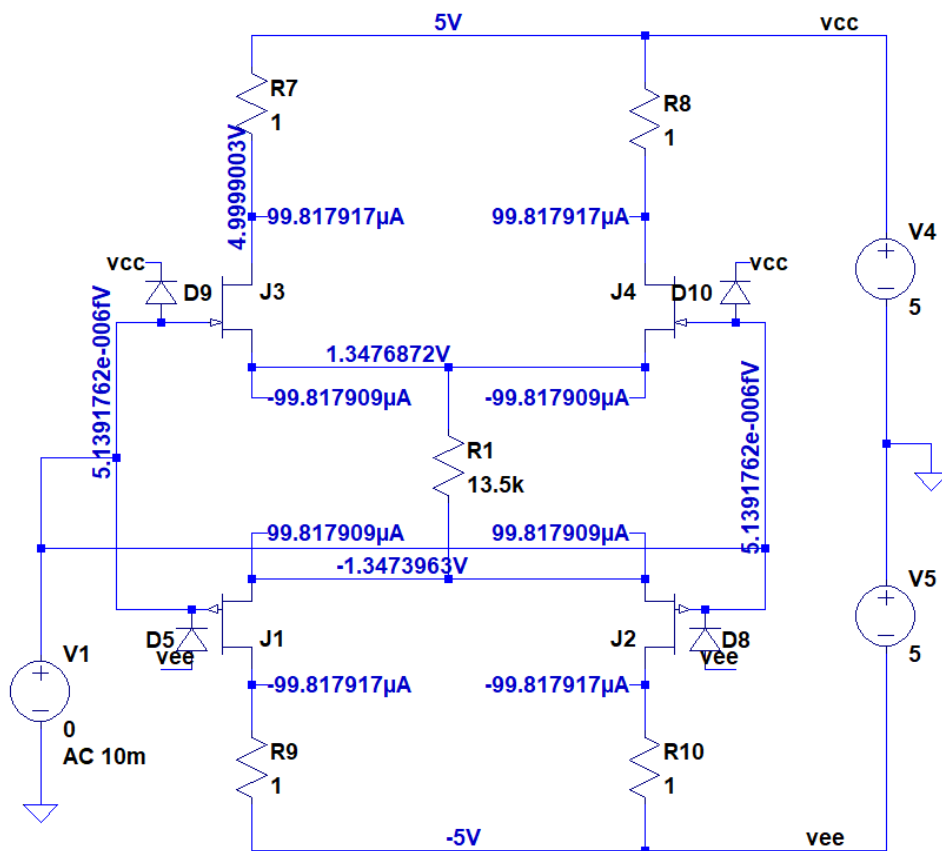


Рис. 6 SJFET дифференциальный каскод с простейшей цепью стабилизации статического режима на основе резистора R1 в среде LTspice

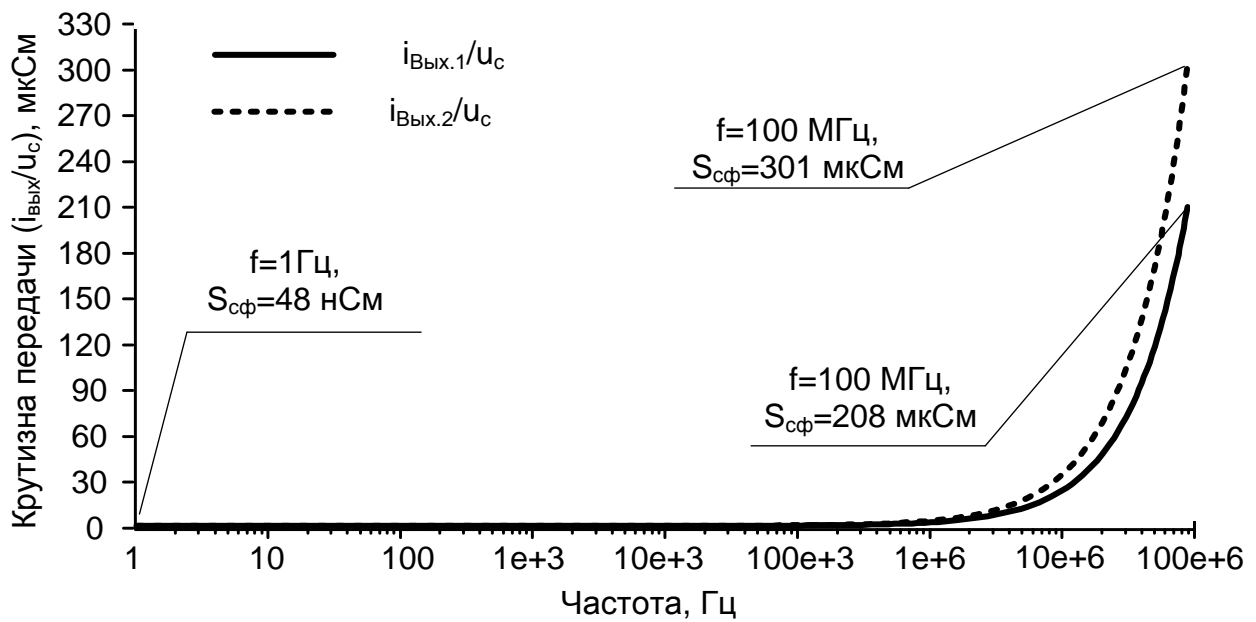


Рис. 7 Частотная зависимость крутизны передачи входного синфазного сигнала ($S_{c\phi}$).

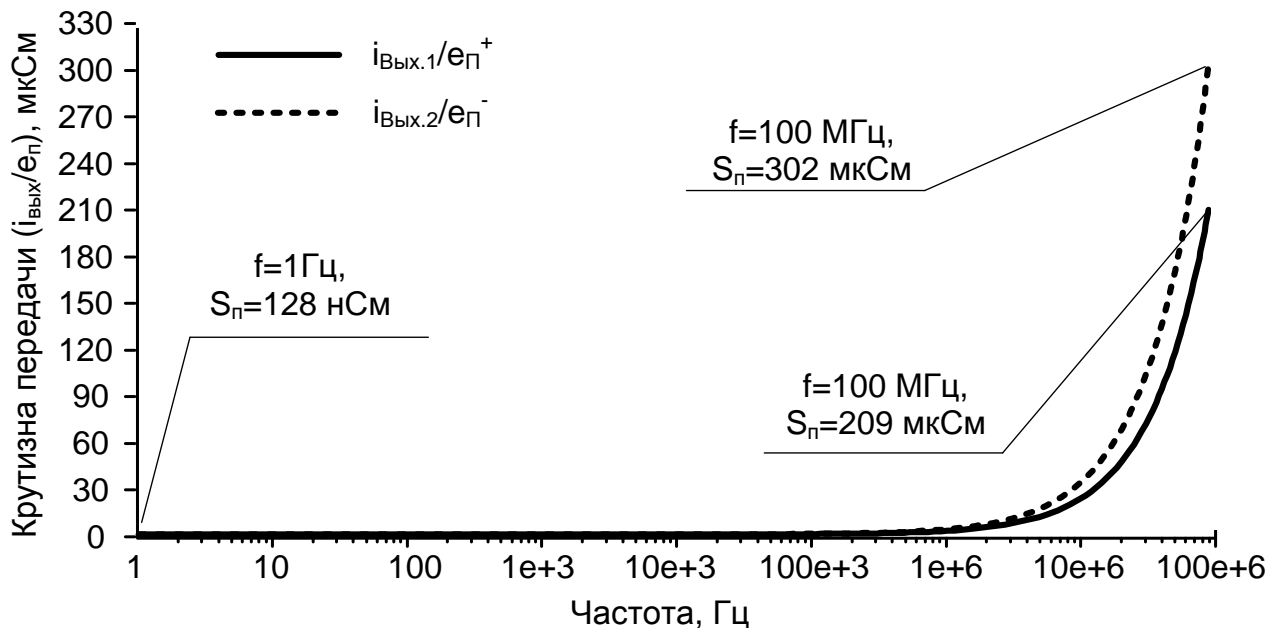


Рис. 8 Частотная зависимость крутизны передачи помех на шинах питания $S_{\pi}^{(+)}$, $S_{\pi}^{(-)}$ (синусоидальное напряжение с амплитудой 100 мВ на положительной и отрицательной шинах).

4. Параметры оптимизации

Параметрами при оптимизации ДК рис. 1 являются: относительная нестабильность статического тока общей истоковой цепи ДК в заданном температурном диапазоне при ограничениях на допустимое изменение проводимостей передачи ДК, статическое токопотребление, геометрические параметры полевых транзисторов, коэффициенты ослабления входного синфазного сигнала и помех по шинам питания и т.п.

5. Netlist в LTSpice для схемы рис.3

```
* D:\simulation\LTSpice\Scheme_206\П8682.asc
J1 N005 in N004 JP50_2
D5 vee in DJP50_2 {JPV}
J2 N006 in N004 JP50_2
D8 vee in DJP50_2 {JPV}
J3 N001 in N003 JN260_2
D9 in vcc DJN260_2 {JNV}
J4 N002 in N003 JN260_2
D10 in vcc DJN260_2 {JNV}
V4 vcc 0 5 AC 100m Rser=0
V5 0 vee 5 AC 0
R7 vcc N001 1
R8 vcc N002 1
R9 N005 vee 1
R10 N006 vee 1
R1 N003 N004 13.5k
V1 in 0 AC 0
.model D D
.lib C:\Users\Elija\OneDrive\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\Elija\OneDrive\Documents\LTspiceXVII\lib\cmp\standard.jft
.op
.param LT=25
.temp={LT}
.ac dec 100 1 100Meg
* .tran 0 1m 0 1u
* .step param LT -197 27 2
* .step param Dg 1 1Meg 300
* .step dec param fn 1e12 1e18 1e2
.param fn=1
.param Dg=1
.param VS=5
.lib C:\LT\CJFET_3.lib
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param I1=1u
* .step dec param VS 4.5 5.5 100
* .step param R1 10k 20k 30k
.param fit=1
* .step param V1 0 5 10m
* .param R1=100k
* .param R2=100k
.backanno
.end
```

При этом использовались компьютерные модели JFET транзисторов, разработанных Дворниковым Олегом Владимировичем (г. Минск, МНИПИ, oleg_dvornikov@tut.by).

Исследование выполнено за счет гранта Российского научного фонда (проект № 16-19-00122-П).

Список литературы

1. Dvornikov O. V., Dziatlau V. L., Prokopenko N. N., Petrosiants K. O., Kozhukhov N. V. and Tchekhovski V. A. The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors // 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507
2. Патент US 5.291.149 fig. 4, 1994 г.
3. Патент US 4.377.789, fig. 1, 1983 г.
4. Патентная заявка US 2006/0125522, 2006 г.
5. Патент US 7.907.011, 2011
6. US 2008/0024217, fig. 1, 2008 г.
7. Патент EP 0318263, 1989 г.
8. Патент US 5.907.259, fig. 1, 1999 г.
9. Патент US 7.408.410, 2008 г.
10. Патент US 6.628.168, fig. 2, 2003 г.
11. Патентная заявка US 2009/0302895, 2009 г.
12. Патент US 5.714.906, fig. 4, 1998 г.
13. Патент US 2005/0285677, 2005 г.
14. Патент US 5.070.306, fig. 3, 1991 г.
15. Патент US 2010/001797, 2010 г.
16. Патент US 6.972.623, fig. 4, fig. 6, 2005 г.
17. Патент US 2008/0252374, 2008 г.
18. Патент US 7.586.373, 2009 г.
19. Патент US 2006/0215787, 2006 г.
20. Патент US 7.453.319, 2008 г.
21. Патент US 2004/0174216, fig. 2, 2004 г.
22. Патент US 7.215.200, fig. 6, 2007 г.
23. Патент US № 6.433.637, fig. 2, 2002 г.
24. Патент US № 6.392.485, 2002 г.
25. Патент US 5.963.085, fig. 3, 1999 г.
26. Патент US 6.788.143, 2004 г.
27. Патент US 4.390.850, 1983 г.
28. Патент US 6.696.894, fig. 1, 2004 г.